

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE
APPLICATION FOR UNITED STATES LETTERS PATENT

Title:

HIGH VOLTAGE TRANSFER CIRCUIT

Sam Kyu Won

Godamkisuksa 116-415, Godam-Dong
Ichon-Shi, Kyungki-Do
Republic of Korea



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0034695
Application Number

출원 년 월 일 : 2003년 05월 30일
Date of Application MAY 30, 2003

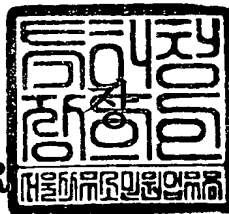
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.05.30
【발명의 명칭】	고전압 전달 회로
【발명의 영문명칭】	High voltage transfer circuit
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	원삼규
【성명의 영문표기】	WON, Sam Kyu
【주민등록번호】	740211-1095911
【우편번호】	467-140
【주소】	경기도 이천시 고당동 기숙사 116동 415호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	6 항 301,000 원
【합계】	330,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명에 따른 고전압 전달 회로에 관한 것으로, 클럭 신호 제 1 제어 신호에 따라 칩 내부에서 생성된 고전압을 상기 칩 외부로 전달하기 위한 제 1 고전압 스위치와, 상기 클럭 신호 및 제 2 제어 신호에 따라 상기 칩 외부에서 생성된 고전압을 상기 칩 내부로 전달하기 위한 제 2 고전압 스위치를 포함하여 이루어져, 고전압에 견디는 PMOS 트랜지스터를 별도로 제조하지 않고도 초기 제품의 불량 분석을 용이하게 할 수 있는 고전압 전달 회로가 제시된다.

【대표도】

도 3

【색인어】

고전압 전달, 고전압 모니터링, 고전압 스위치

【명세서】

【발명의 명칭】

고전압 전달 회로{High voltage transfer circuit}

【도면의 간단한 설명】

도 1은 종래의 고전압 전달 회로의 구성도.

도 2는 종래의 고전압 전달 회로에 이용되는 고전압 레벨 쉬프터의 회로도.

도 3은 본 발명에 따른 고전압 전달 회로의 구성도.

도 4는 본 발명에 따른 고전압 전달 회로에 이용되는 제 1 고전압 스위치의 회로도.

도 5는 본 발명에 따른 고전압 전달 회로에 이용되는 제 2 고전압 스위치의 회로도.

도 6은 본 발명에 따른 고전압 전달 회로의 모니터링 모드에서의 동작 파형도.

도 7은 본 발명에 따른 고전압 전달 회로의 외부 전압 인가 모드에서의 동작 파형도.

<도면의 주요 부분에 대한 부호의 설명>

31 : 펌핑 회로 32 : 디코더

33 : 메모리 셀 어레이 34 : 제 1 고전압 스위치

35 : 제 2 고전압 스위치 36 : 고전압 패드

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 고전압 전달 회로에 관한 것으로, 특히 NMOS 트랜지스터로 구성된 고전압 스위치를 이용하여 칩 내부에서 생성된 고전압을 모니터링하거나 외부 고전압을 내부로 직접 인가함으로써 초기 제품의 불량 분석을 용이하게 할 수 있는 고전압 전달 회로에 관한 것이다.
- <13> 플래쉬 메모리 셀을 프로그램, 소거 및 독출시키기 위해서는 이들 동작에 따른 전압을 콘트롤 게이트, 소오스, 드레인 및 웰에 각각 인가하여야 한다. 예를들어 플래쉬 메모리 셀을 프로그램시키기 위해서는 메모리 칩 내부의 펌핑 회로를 이용하여 고전압을 생성하고, 이 고전압을 디코더에 의해 선택된 메모리 셀의 콘트롤 게이트에 인가하여야 한다. 그런데, 펌핑 회로에 의해 생성된 고전압이 셀의 동작을 위해 충분한지를 모니터링하여 펌핑 회로의 동작을 검증하게 되는데, 도 1에 종래의 모니터링을 위한 고전압 전달 회로의 구성을 나타내었다.
- <14> 도 1은 디코더(12)에 의해 선택된 메모리 셀 어레이(13)의 워드라인에 인가되는 펌핑 회로(11)에서 생성된 고전압(VPP)을 모니터링하기 위한 종래의 고전압 전달 회로의 구성도로서, 그 구성을 설명하면 다음과 같다.
- <15> 제 1 고전압 레벨 쉬프터(14)는 테스트 인에이블 신호(TESTEN)에 따라 펌핑 회로(11)에서 생성된 고전압(VPP)을 선택적으로 출력한다. 제 2 고전압 레벨 쉬프터(15)는 테스트 인에이블 신호(TESTEN)에 따라 모니터링 패드(16)의 전위를 유지하는 제 2 노드(Q12)의 전압을 선택적으로 출력한다. 펌핑 회로(11)의 출력 단자인 제 1 노드(Q11)와 모니터링 패드(16)의 입력 단

자인 제 2 노드(Q12) 사이에 직렬 접속된 제 1 및 제 2 PMOS 트랜지스터(P11 및 P12)는 제 1 및 제 2 고전압 레벨 쉬프터(14 및 15)의 출력 신호에 따라 각각 구동되어 고전압(VPP)을 모니터링 패드(16)로 전달한다.

<16> 도 2는 도 1의 종래의 고전압 전달 회로에 적용되는 제 1 고전압 레벨 쉬프터의 회로도로서, 그 구성을 설명하면 다음과 같다.

<17> 펌핑 회로(11)의 출력 단자(VPP)와 제 1 노드(Q21) 사이에 제 2 노드(Q22)의 전위에 따라 구동되는 제 1 PMOS 트랜지스터(P21)가 접속된다. 제 1 노드(Q21)와 접지 단자(Vss) 사이에 테스트 인에이블 신호(TESTEN)에 따라 구동되는 제 1 NMOS 트랜지스터(N21)가 접속된다. 펌핑 회로(11)의 출력 단자(VPP)와 제 2 노드(Q22) 사이에 제 1 노드(Q21)의 전위에 따라 구동되는 제 2 PMOS 트랜지스터(P22)가 접속된다. 제 2 노드(Q22)와 접지 단자(Vss) 사이에 테스트 인에이블 신호(TESTEN)가 제 1 인버터(I21)를 통해 반전된 신호에 의해 구동되는 제 2 NMOS 트랜지스터(N22)가 접속된다. 한편, 제 1 노드(Q21)는 출력 단자(OUT)의 역할을 한다.

<18> 여기서, 펌핑 회로(11)의 출력 단자(VPP) 대신에 모니터링 패드(16)의 입력 단자가 접속되면 제 2 고전압 레벨 쉬프터로서 동작한다.

<19> 상기와 같이 구성된 제 1 고전압 레벨 쉬프터의 구동 방법을 설명하면 다음과 같다.

<20> 테스트 인에이블 신호(TESTEN)가 하이 상태로 인가되면 제 1 NMOS 트랜지스터(N21)가 턴온되어 제 1 노드(Q21)의 전위는 로우 상태를 유지하게 된다. 한편, 하이 상태로 인가되는 테스트 인에이블 신호(TESTEN)는 제 1 인버터(I21)를 통해 로우 상태로 반전되고, 로우 상태로

반전된 신호에 의해 제 2 NMOS 트랜지스터(N22)가 턴오프된다. 로우 상태를 유지하는 제 1 노드(Q21)의 전위에 의해 제 2 PMOS 트랜지스터(P22)가 턴온되어 제 2 노드(Q22)로 고전압(VPP)이 인가된다. 고전압(VPP)이 인가되어 하이 상태를 유지하는 제 2 노드(Q22)의 전위에 의해 제 1 PMOS 트랜지스터(P21)는 턴오프된다. 따라서, 제 1 노드(Q21)의 전위는 로우 상태를 유지하게 되고, 이 전위가 출력 단자(OUT)를 통해 출력되는 신호가 된다.

<21> 한편, 제 2 고전압 레벨 쉬프터도 상기와 같은 동작되기 때문에 테스트 인에이블 신호(TESTEN)가 하이 상태로 인가되면 로우 상태의 신호를 출력하게 된다.

<22> 상기와 같은 종래의 고전압 전달 회로는 펌핑 회로에서 생성된 고전압을 모니터링하기 위한 테스트 모드에서 테스트 인에이블 신호(TESTEN)가 하이 상태로 입력되면, 제 1 및 제 2 고전압 레벨 쉬프터(12 및 13)가 구동되어 로우 상태의 신호를 출력한다. 이에 의해 제 1 및 제 2 PMOS 트랜지스터(P11 및 P12)가 구동되어 모니터링 패드(16)로 고전압(VPP)이 공급된다. 그리고, 모니터링 패드(16)에 공급된 고전압(VPP)을 측정하여 펌핑 회로(11)의 동작을 검증한다.

<23> 그러나, PMOS 트랜지스터는 소자의 특성상 20V 이상의 고전압을 전달할 수 없기 때문에 고전압 레벨 쉬프터에 의해 구동되는 PMOS 트랜지스터를 통해 고전압을 전달하는 종래의 회로는 현재 NAND형 플래쉬 메모리 칩 내부에서 생성되는 20V 이상의 고전압을 전달하기에는 불가

능하다. 따라서, 고전압 플래쉬 메모리 소자의 불량률을 검출할 수 없다. 한편, 이를 가능하게 하기 위해서는 20V 이상의 고전압을 견디는 PMOS 트랜지스터를 개발해야 한다.

【발명이 이루고자 하는 기술적 과제】

- <24> 본 발명의 목적은 칩 내부의 펌핑 회로에서 생성된 20V 이상의 고전압을 칩 외부로 전달하여 펌핑 회로의 동작을 검증할 수 있는 고전압 전달 회로를 제공하는데 있다.
- <25> 본 발명의 다른 목적은 PMOS 트랜지스터를 사용하지 않는 스위치를 이용하여 칩 내부의 펌핑 회로에서 생성된 20V 이상의 고전압을 칩 외부로 전달하여 펌핑 회로의 동작을 검증할 수 있는 고전압 전달 회로를 제공하는데 있다.
- <26> 본 발명의 또다른 목적은 펌핑 회로를 동작시키지 않고도 동작 모드에 따라 칩 외부에서 생성된 고전압을 칩 내부로 전달할 수 있는 고전압 전달 회로를 제공하는데 있다.

【발명의 구성 및 작용】

- <27> 본 발명에 따른 고전압 전달 회로는 클럭 신호 및 제 1 제어 신호에 따라 칩 내부에서 생성된 고전압을 상기 칩 외부로 전달하기 위한 제 1 고전압 스위치와, 상기 클럭 신호 및 제 2 제어 신호에 따라 상기 칩 외부에서 생성된 고전압을 상기 칩 내부로 전달하기 위한 제 2 고전압 스위치를 포함하여 이루어진 것을 특징으로 한다.
- <28> 또한, 본 발명에 따른 고전압 전달 회로는 플래쉬 메모리 셀의 동작에 필요한 고전압을 생성하여 내부 회로로 공급하기 위한 펌핑 회로와, 상기 펌핑 회로로부터 생성된 고전압을 전달받거나 외부에서 생성된 고전압을 공급받기 위한 고전압 패드와, 클럭 신호 및 모니터링 모

드에서의 제 1 제어 신호에 따라 상기 펌핑 회로로부터 생성된 고전압을 상기 고전압 패드로 전달하기 위한 제 1 고전압 스위치와, 상기 클럭 신호와 외부 전압 공급 모드에서의 제 2 제어 신호에 따라 외부로부터 상기 고전압 패드로 공급된 고전압을 내부 회로로 전달하기 위한 제 2 고전압 스위치를 포함하여 이루어진 것을 특징으로 한다.

<29> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써 본 발명을 상세히 설명한다. 그러나, 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하며, 이 기술 분야에서 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 또한, 도면상에서 동일 부호는 동일 요소를 지칭한다.

<30> 도 3은 동작 모드에 따라 디코더(32)에 의해 선택된 메모리 셀 어레이(33)의 워드라인에 인가되는 펌핑 회로(31)에서 생성된 고전압(VPP)을 모니터링하기 위해 고전압(VPP)을 외부로 전달하거나 외부에서 생성된 고전압을 내부로 전달하기 위한 본 발명에 따른 고전압 전달 회로의 구성도로서, 그 구성을 설명하면 다음과 같다.

<31> 펌핑 회로(31)는 클럭 신호(CLK)와 펌핑 인에이블 신호(PUMPEN)에 따라 구동되어 고전압(VPP)을 생성한다. 제 1 고전압 스위치(34)는 클럭 신호(CLK)와 고전압 모니터링 신호(TMON_EN)에 따라 구동되어 펌핑 회로(31)에서 생성된 고전압(VPP)을 고전압 패드(36)로 공급한다. 제 2 고전압 스위치(35)는 클럭 신호(CLK)와 외부 전압 인가 신호(TEXT_VPP)에 따라 구동되어 고전압 패드(36)를 통해 외부로부터 공급되는 고전압을 제 1 노드(Q31)로 인가한다. 고전압 패드(36)는 모니터링 모드에서는 펌핑 회로(31)에서 생성된 고전압(VPP)을 공급받고, 외부 전압 인가 모드에서는 외부로부터 공급되는 고전압을 제 1 노드(Q31)로 인가한다. 여기서,

모니터링 모드에서 발생하는 고전압 모니터링 신호(TMON_EN)는 펌핑 회로(31)로부터 생성된 펌핑 전압(VPP)을 모니터링하여 펌핑 회로(31)의 동작을 검증하기 위한 신호이다. 그리고, 외부 전압 인가 모드에서 발생하는 외부 전압 인가 신호(TEXT_VPP)는 펌핑 회로(31)를 동작시키지 않고 외부에서 직접 고전압을 인가하여 내부 회로 및 셀에 공급하기 위한 신호이다.

<32> 도 4는 본 발명에 따른 제 1 고전압 스위치의 회로도로서, 그 구성을 설명하면 다음과 같다.

<33> 전원 전압(Vcc)에 따라 구동되는 제 1 NMOS 트랜지스터(N41)는 모니터링 인에이블 신호(TMON_EN)에 따른 전위를 제 1 노드(Q41)로 공급한다. 제 1 캐패시터(C41)는 클럭 신호(CLK)에 의해 충전되어 제 2 노드(Q42)의 전위를 조절한다. 펌핑 회로의 출력 단자(VPP)와 제 2 노드(Q42) 사이에 접속된 제 2 NMOS 트랜지스터(N42)는 제 1 노드(Q41)의 전위에 따라 구동되어 펌핑 전압(VPP)을 제 2 노드(Q42)로 공급한다. 제 2 노드(Q42)와 제 1 노드(Q41) 사이에 접속된 제 3 NMOS 트랜지스터(N43)는 제 2 노드(Q42)의 전위에 따라 구동되어 제 1 캐패시터(C41)에 충전된 전하를 제 1 노드(Q41)로 공급한다. 제 1 노드(Q41)의 전위에 따라 구동되는 제 4 NMOS 트랜지스터(N44)는 펌핑 전압(VPP)을 고전압 패드(VPP_PAD)로 공급한다.

<34> 도 5는 본 발명에 따른 제 2 고전압 스위치의 회로도로서, 그 구성을 설명하면 다음과 같다.

<35> 전원 전압(Vcc)에 따라 구동되는 제 1 NMOS 트랜지스터(N51)는 외부 전압 인가 신호(TEXT_VPP)에 따른 전위를 제 1 노드(Q51)로 공급한다. 제 1 캐패시터(C51)는 클럭 신호(CLK)에 의해 충전되어 제 2 노드(Q52)의 전위를 조절한다. 고전압 패드(VPP_PAD)와 제 2 노드(Q52)

사이에 접속된 제 2 NMOS 트랜지스터(N22)는 제 1 노드(Q21)의 전위에 따라 구동되어 고전압 패드(VPP_PAD)를 통해 인가되는 외부 고전압을 제 2 노드(Q52)로 공급한다. 제 2 노드(Q52)와 제 1 노드(Q51) 사이에 접속된 제 3 NMOS 트랜지스터(N53)는 제 2 노드(Q52)의 전위에 따라 구동되어 제 1 캐패시터(C51)에 충전된 전하를 제 1 노드(Q51)로 공급한다. 제 1 노드(Q51)의 전위에 따라 구동되는 제 4 NMOS 트랜지스터(N54)는 고전압 패드(VPP_PAD)를 통해 인가된 외부 고전압을 내부 회로 및 셀로 공급한다.

<36> 상기와 같이 구성되는 본 발명에 따른 고전압 전달 회로의 모니터링 모드에서의 동작을 도 3 및 도 4의 회로도 및 도 6의 동작 파형도를 이용하여 설명하면 다음과 같다.

<37> 클럭 신호(CLK) 및 펌핑 인에이블 신호(PUMPEN)에 따라 펌핑 회로(31)가 구동되면 약 20V 정도의 고전압(VPP)이 생성된다. 고전압(VPP)이 생성된 후 고전압 모니터링 신호(TVPP_MON)가 하이 상태로 인가되고, 외부 전압 인가 신호(TEXT_VPP)가 로우 상태로 인가되면, 제 1 고전압 스위치(34)가 구동되고, 제 2 고전압 스위치(34)는 구동되지 않는다. 따라서, 펌핑 회로(31)로부터 생성된 고전압(VPP)이 제 1 고전압 스위치(34)를 통해 고전압 패드(36)로 공급되어 고전압 패드(36)는 고전압(VPP)의 전위를 유지하게 된다.

<38> 제 1 고전압 스위치(34)의 구동 방법을 도 4를 이용하여 상세히 설명하면 다음과 같다. 먼저, 클럭 신호(CLK)가 로우 상태로 인가되고, 고전압 모니터링 신호(TVPP_MON)가 하이 상태로 인가되는 프리차지 동작에서, 전원 전압(Vcc)에 의해 턴온 상태를 유지하는 제 1 NMOS 트랜지스터(N41)를 통해 전원 전압(Vcc)의 전

위로 인가되는 고전압 모니터링 신호(TVPP_MON)가 제 1 노드(Q41)로 공급된다. 따라서, 제 1 노드(Q41)는 소정의 전위($V_{cc}-V_{TH1}$)를 유지하게 된다. 소정의 전위($V_{cc}-V_{TH1}$)를 유지하는 제 1 노드(Q41)의 전위에 의해 제 2 NMOS 트랜지스터(N42)가 턴온되어 제 2 노드(Q42)로 소정의 전위($V_{cc}-V_{TH1}$)가 공급된다. 따라서, 제 2 노드(Q42)는 소정의 전위($V_{cc}-V_{TH1}-V_{TH2}$)를 유지하게 된다.

<39> 클럭 신호(CLK)가 하이 상태로 인가되는 펌핑 동작에서, 제 2 노드(Q42)는 캐패시터(C41)에 충전된 전압(αV_{cc})에 따른 소정의 전위($V_{cc}+\alpha V_{cc}-V_{TH1}-V_{TH2}$)를 유지하게 된다. 그리고, 이 전위가 다이오드 접속된 제 3 NMOS 트랜지스터(N43)를 통해 제 1 노드(Q41)로 공급된다. 따라서, 제 1 노드(Q41)는 소정의 전위($V_{cc}+\alpha V_{cc}-V_{TH1}-V_{TH2}-V_{TH3}$)를 유지하게 된다.

<40> 상기와 같이 클럭 신호(CLK)에 따라 프리차지 동작과 펌핑 동작을 반복하여 제 1 노드(Q41)의 전위는 점점 상승하게 된다. 이렇게 상승하는 전위가 고전압(VPP)과 제 4 NMOS 트랜지스터(N44)의 문턱 전압의 합보다 높을 경우, 즉 제 1 노드(Q41)가 소정의 전위($V_{PP}+V_{TH4}$)를 유지하게 되면 제 4 NMOS 트랜지스터(N44)는 턴온되고, 고전압 패드(VPP_PAD)에 고전압(VPP)이 공급된다.

<41> 상기와 같이 구성되는 본 발명에 따른 고전압 전달 회로의 외부 전압 인가 모드에서의 동작을 도 3 및 도 5의 회로도 및 도 7의 동작 파형도를 이용하여 설명하면 다음과 같다.

<42> 펌핑 인에이블 신호(PUMPEN)가 인가되지 않아 펌핑 회로(31)가 구동되지 않고 외부로부터의 고전압이 고전압 패드(36)에 인가된다. 외부로부터의 고전압이 고전압 패드(36)에 인가된 후 고전압 모니터링 신호(TVPP_MON)가 로우 상태로 인가되고, 외부 전압 인가 신호(TEXT_VPP)

가 하이 상태로 인가되면, 제 1 고전압 스위치(34)가 구동되지 않고, 제 2 고전압 스위치(35)가 구동된다. 따라서, 외부로부터의 고전압이 제 2 고전압 스위치(35)를 통해 내부 회로 및 셀로 인가된다.

<43> 제 2 고전압 스위치(35)의 구동 방법을 도 5를 이용하여 상세히 설명하면 다음과 같다. 클럭 신호(CLK)가 로우 상태로 인가되고, 외부 전압 인가 신호(TEXT_VPP)가 하이 상태로 인가되는 프리차지 동작에서, 전원 전압(V_{cc})에 의해 턴온 상태를 유지하는 제 1 NMOS 트랜지스터(N51)를 통해 전원 전압(V_{cc})의 전위로 인가되는 외부 전압 인가 신호(TEXT_VPP)가 제 1 노드(Q51)로 공급된다. 따라서, 제 1 노드(Q51)는 소정의 전위($V_{cc}-V_{TH1}$)를 유지하게 된다. 소정의 전위($V_{cc}-V_{TH1}$)를 유지하는 제 1 노드(Q51)의 전위에 의해 제 2 NMOS 트랜지스터(N52)가 턴온되어 제 2 노드(Q52)로 소정의 전위($V_{cc}-V_{TH1}$)가 공급된다. 따라서, 제 2 노드(Q52)는 소정의 전위($V_{cc}-V_{TH1}-V_{TH2}$)를 유지하게 된다.

<44> 클럭 신호(CLK)가 하이 상태로 인가되는 펌핑 동작에서, 제 2 노드(Q52)는 캐패시터(C51)에 충전된 전압(αV_{cc})에 따른 소정의 전위($V_{cc} + \alpha V_{cc} - V_{TH1} - V_{TH2}$)를 유지하게 된다. 그리고, 이 전위가 다이오드 접속된 제 3 NMOS 트랜지스터(N53)를 통해 제 1 노드(Q51)로 공급된다. 따라서, 제 1 노드(Q51)는 소정의 전위($V_{cc} + \alpha V_{cc} - V_{TH1} - V_{TH2} - V_{TH3}$)를 유지하게 된다.

<45> 상기과 같이 클럭 신호(CLK)에 따라 프리차지 동작과 펌핑 동작을 반복하여 제 1 노드(Q51)의 전위는 점점 상승하게 된다. 이렇게 상승하는 전위가 고전압 패드(VPP_PAD)를 통해 공급되는 외부로부터의 고전압과 제 4 NMOS 트랜지스터(N54)의 문턱 전압의 합보다 높을 경우 제 4 NMOS 트랜지스터(N54)는 턴온되고, 외부로부터의 고전압이 내부 회로 및 셀로 공급된다.

【발명의 효과】

<46> 상술한 바와 같이 본 발명에 의하면 NMOS 트랜지스터로 구성된 고전압 스위치를 이용하여 칩 내부에서 생성된 고전압을 모니터링하거나 외부 고전압을 내부로 직접 인가함으로써 고전압에 견디는 PMOS 트랜지스터를 별도로 제조하지 않고도 초기 제품의 불량 분석을 용이하게 할 수 있다.

【특허청구범위】**【청구항 1】**

클럭 신호 및 제 1 제어 신호에 따라 칩 내부에서 생성된 고전압을 상기 칩 외부로 전달하기 위한 제 1 고전압 스위치; 및

상기 클럭 신호 및 제 2 제어 신호에 따라 상기 칩 외부에서 생성된 고전압을 상기 칩 내부로 전달하기 위한 제 2 고전압 스위치를 포함하여 이루어진 것을 특징으로 하는 고전압 전달 회로.

【청구항 2】

제 1 항에 있어서, 상기 제 1 고전압 스위치는 상기 제 1 제어 신호를 제 1 노드로 전달하기 위한 제 1 스위치;

상기 제 1 노드의 전위에 따라 상기 칩 내부에서 생성된 고전압을 제 2 노드로 전달하기 위한 제 2 스위치;

상기 클럭 신호에 따라 상기 제 2 노드의 전위를 조절하기 위한 캐패시터;

상기 제 2 노드의 전위에 따라 상기 제 2 노드의 전압을 상기 제 1 노드로 전달하기 위한 제 3 스위치; 및

상기 제 1 노드의 전위에 따라 상기 칩 내부에서 생성된 고전압을 상기 칩 외부로 전달하기 위한 제 4 스위치를 포함하여 이루어진 것을 특징으로 하는 고전압 전달 회로.

【청구항 3】

제 1 항에 있어서, 상기 제 2 고전압 스위치는 상기 제 2 제어 신호를 제 1 노드로 전달하기 위한 제 1 스위치;

상기 제 1 노드의 전위에 따라 상기 칩 외부에서 생성된 고전압을 제 2 노드로 전달하기 위한 제 2 스위치;

상기 클럭 신호에 따라 상기 제 2 노드의 전위를 조절하기 위한 캐패시터;

상기 제 2 노드의 전위에 따라 상기 제 2 노드의 전압을 상기 제 1 노드로 전달하기 위한 제 3 스위치; 및

상기 제 1 노드의 전위에 따라 상기 칩 외부에서 생성된 고전압을 상기 칩 내부로 전달하기 위한 제 4 스위치를 포함하여 이루어진 것을 특징으로 하는 고전압 전달 회로.

【청구항 4】

플래쉬 메모리 셀의 동작에 필요한 고전압을 생성하여 내부 회로로 공급하기 위한 펌핑 회로;

상기 펌핑 회로로부터 생성된 고전압을 전달받거나 외부에서 생성된 고전압을 공급받기 위한 고전압 패드;

클럭 신호 및 모니터링 모드에서의 제 1 제어 신호에 따라 상기 펌핑 회로로부터 생성된 고전압을 상기 고전압 패드로 전달하기 위한 제 1 고전압 스위치; 및

상기 클럭 신호와 외부 전압 공급 모드에서의 제 2 제어 신호에 따라 외부로부터 상기 고전압 패드로 공급된 고전압을 내부 회로로 전달하기 위한 제 2 고전압 스위치를 포함하여 이

루어진 것을 특징으로 하는 고전압 전달 회로.

【청구항 5】

제 4 항에 있어서, 상기 제 1 고전압 스위치는 상기 전원 전압에 따라 구동되어 상기 제 1 제어 신호를 제 1 노드로 전달하기 위한 제 1 NMOS 트랜지스터;

상기 제 1 노드의 전위에 따라 상기 칩 내부에서 생성된 고전압을 제 2 노드로 전달하기 위한 제 2 NMOS 트랜지스터;

상기 클럭 신호에 따라 상기 제 2 노드의 전위를 조절하기 위한 캐패시터;

상기 제 2 노드의 전위에 따라 상기 제 2 노드의 전압을 상기 제 1 노드로 전달하기 위한 제 3 NMOS 트랜지스터; 및

상기 제 1 노드의 전위에 따라 상기 칩 내부에서 생성된 고전압을 상기 칩 외부로 전달하기 위한 제 4 NMOS 트랜지스터를 포함하여 이루어진 것을 특징으로 하는 고전압 전달 회로.

【청구항 6】

제 4 항에 있어서, 상기 제 2 고전압 스위치는 전원 전압에 따라 구동되어 상기 제 2 제어 신호를 제 1 노드로 전달하기 위한 제 1 스위치;

상기 제 1 노드의 전위에 따라 상기 칩 외부에서 생성된 고전압을 제 2 노드로 전달하기 위한 제 2 NMOS 트랜지스터;

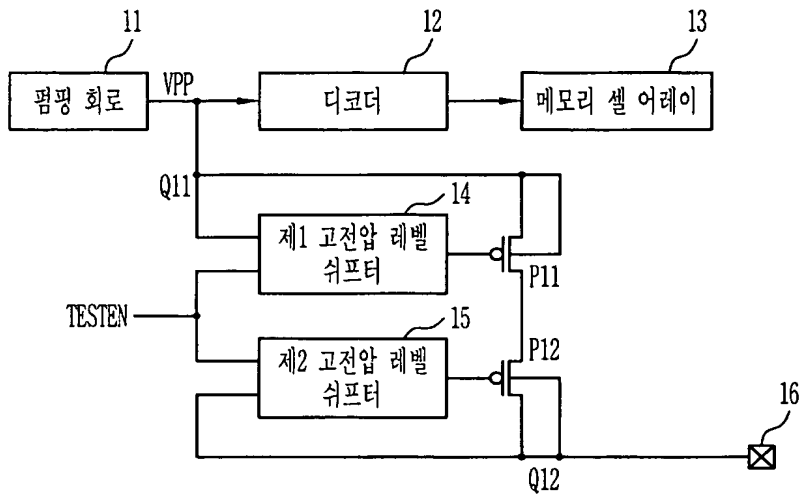
상기 클럭 신호에 따라 상기 제 2 노드의 전위를 조절하기 위한 캐패시터;

상기 제 2 노드의 전위에 따라 상기 제 2 노드의 전압을 상기 제 1 노드로 전달하기 위한 제 3 NMOS 트랜지스터; 및

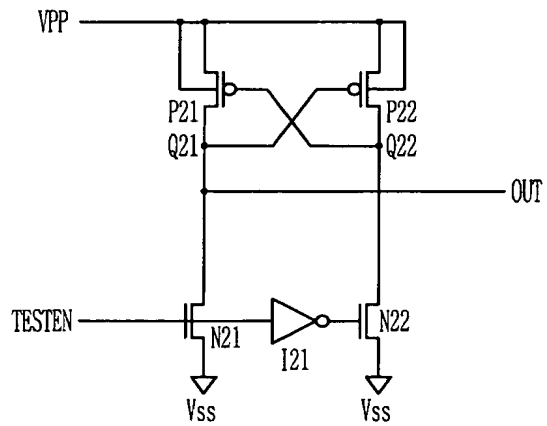
상기 제 1 노드의 전위에 따라 상기 칩 외부에서 생성된 고전압을 상기 칩 내부로 전달하기 위한 제 4 NMOS 트랜지스터를 포함하여 이루어진 것을 특징으로 하는 고전압 전달 회로.

【도면】

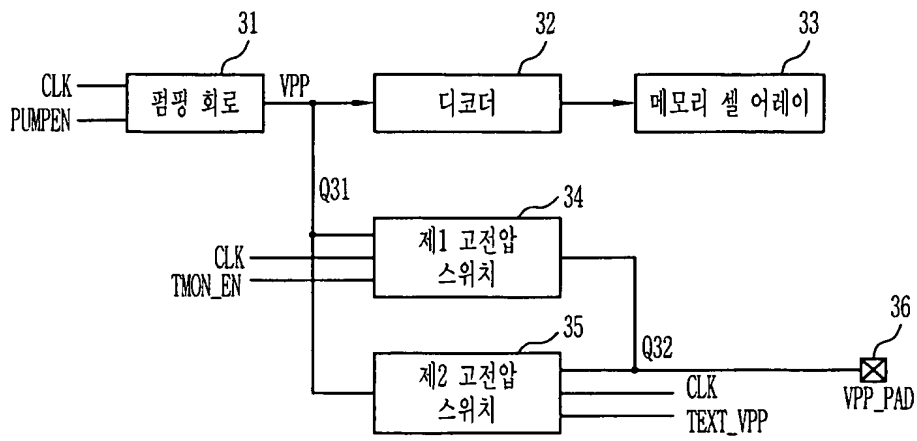
【도 1】



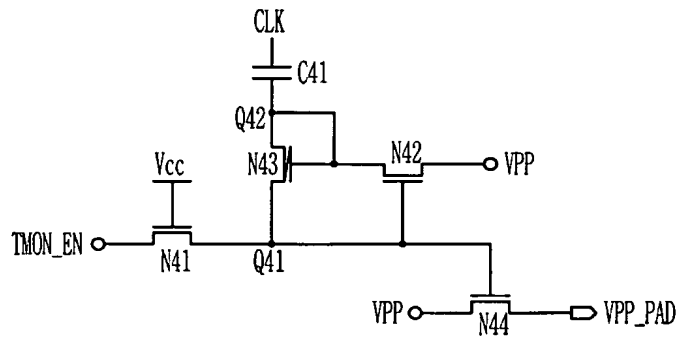
【도 2】



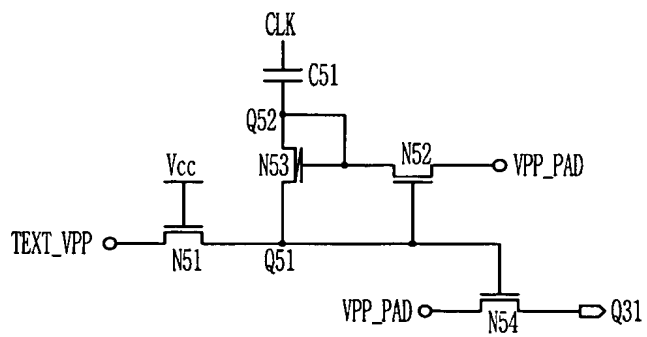
【도 3】



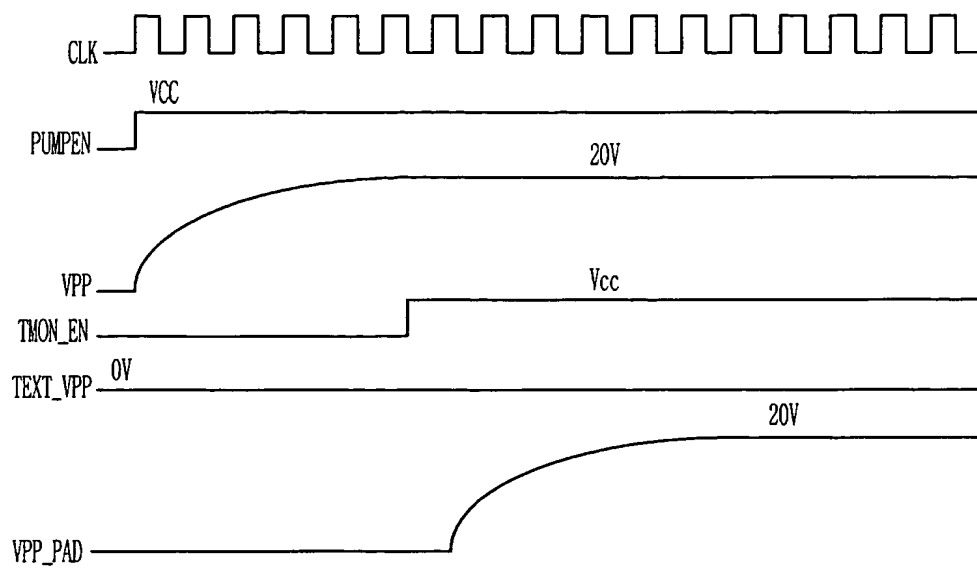
【도 4】



【도 5】



【도 6】



【도 7】

